

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-063451

(43)Date of publication of application : 08.03.1996

(51)Int.CI.

G06F 15/78

(21)Application number : 06-200772

(71)Applicant : MITSUBISHI DENKI SEMICONDUCTOR
SOFTWARE KK
MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.08.1994

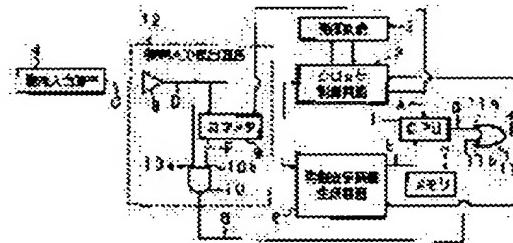
(72)Inventor : TANIZAKI FUMIKO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To provide the microcomputer whose CPU never returns to an operation mode due to the effect of an external noise.

CONSTITUTION: This microcomputer is equipped with a counter 9 which starts counting operation when the voltage level at a return input terminal 4 where a return request signal making the CPU 1 return to the operation mode from a stand-by mode should be inputted is inverted and an AND circuit 10 to which the return request signal D corresponding to the voltage level at the return input terminal 4 and a control signal F outputted by the counter 9 are inputted; if the voltage level is still inverted when the counter 9 counts up to a specific value, the CPU 1 is put back into the operation mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-63451

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.^b
G 0 6 F 15/78

識別記号 510 P
府内整理番号

F I

技術表示箇所

(21) 出願番号 特願平6-200772

(22) 出願日 平成6年(1994)8月25日

(71) 出願人 391024515

三菱電機セミコンダクタソフトウエア株式会社
兵庫県伊丹市中央3丁目1番17号

(71) 出願人 000006013

三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72) 発明者 谷崎 文子

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウエア株式会社内

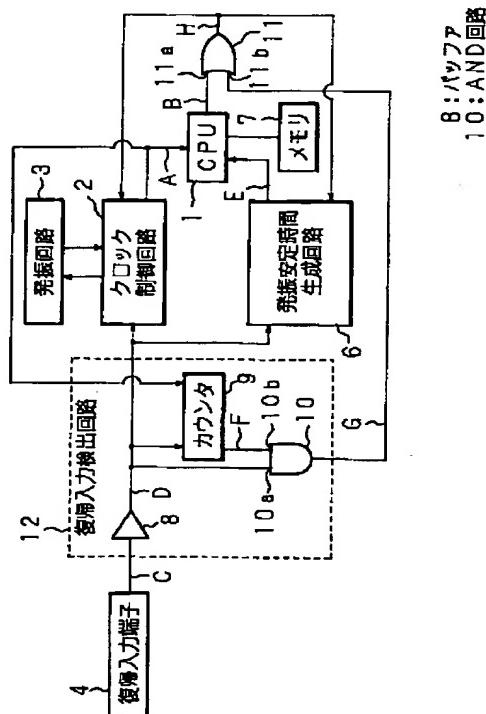
(74) 代理人 弁理士 高田 守 (外4名)

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 外来ノイズの影響によりCPUが動作モードに復帰することがないマイクロコンピュータの提供。

【構成】 CPU 1を待機モードから動作モードに復帰させる復帰要求信号を入力すべき復帰入力端子4の電圧レベルが反転すると、カウント動作を開始するカウンタ9と、復帰入力端子4の電圧レベルに応じた復帰要求信号D及びカウンタ9が出力する制御信号Fが入力されるAND回路10とを備え、カウンタ9が所定値をカウントしたときに、前記電圧レベルが反転したままである場合には、CPU 1を動作モードに復帰させる構成にする。



【特許請求の範囲】

【請求項1】 CPUを内蔵しており、前記CPUの動作を一時的に停止させた待機モードから、CPUを動作させる動作モードに復帰させる復帰要求信号を入力すべき端子を備えているマイクロコンピュータにおいて、前記端子の電圧レベルが反転すると動作を開始する計時手段と、前記電圧レベル及び前記計時手段の計時値に関連してCPUを待機モードになすべく制御する制御回路とを備え、前記計時値が所定値に達したときに、前記端子の電圧レベルが反転したままである場合は、CPUを動作モードに復帰させる構成にしてあることを特徴とするマイクロコンピュータ。

【請求項2】 計時手段に設定する所定値を、CPUにより変更可能に構成してある請求項1記載のマイクロコンピュータ。

【請求項3】 CPUを内蔵しており、前記CPUの動作を一時的に停止させた待機モードから、CPUを動作させる動作モードに復帰させる復帰要求信号を入力すべき端子と、待機モードを解除すべき待機解除信号を出力する回路とを備えているマイクロコンピュータにおいて、前記待機解除信号及び前記端子の電圧レベルに関連して、CPUを待機モードになすべく制御する制御回路を備え、前記端子にCPUを復帰させるに有意な電圧レベルが入力され、待機解除信号が出力されるまで、その電圧レベルが変化していない場合は、CPUを動作モードに復帰させる構成にしてあることを特徴とするマイクロコンピュータ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は内蔵しているCPUの動作を一時的に停止させる待機モードから、CPUを動作させる動作モードに復帰させる信号を入力すべき端子を備えているマイクロコンピュータに関するものである。

【0002】

【従来の技術】 CPUと、ROM、RAM等の周辺回路とを内蔵しているマイクロコンピュータはROM、RAMのデータを保持したまま、CPUの動作を一時的に停止させる待機モードになし得るようにして低消費電力化を図っている。

【0003】 図6は、この種の従来のマイクロコンピュータの構成を示すブロック図である。復帰入力端子4に入力された復帰要求信号Cは、それを波形整形するローパスフィルタ5を介してクロック制御回路2及び発振安定時間生成回路6へ入力される。クロック制御回路2は発振回路3を制御し、発振回路3で発生したクロックがクロック制御回路2へ入力されるようになっている。クロック制御回路2から出力されるCPU1を駆動するためのクロックAはCPU1へ入力される。CPU1から出力される待機信号Bはクロック制御回路2へ入力される。発振回路3が発振を開始した後、発振が安定するまでの待

ち時間を生成して、発振安定時間生成回路6が outputする待機解除信号EはCPU1へ入力される。CPU1により、ROM又はRAMからなるメモリ7がアクセスされるようになっている。

【0004】 次にこのマイクロコンピュータの動作、CPUが待機モードから動作モードになる場合について説明する。CPU1により待機命令を実行すると、CPU1から出力される待機信号Bが“H”レベルになり、クロック制御回路2の動作が停止し、それによって発振回路3の動作が停止し、クロックAがCPU1へ入力されなくなり、CPU1の動作が停止して待機モードになる。ここで、復帰入力端子4に例えば“L”レベルの復帰要求信号が入力されると、この復帰要求信号Cがローパスフィルタ5へ入力され、ローパスフィルタ5で波形整形され、波形整形された“L”レベルの復帰要求信号Dがクロック制御回路2へ入力されて、クロック制御回路2は動作を開始する。

【0005】 そして、ローパスフィルタ5から出力された“L”レベルの復帰要求信号Dは発振安定時間生成回路6へも入力されて、発振安定時間生成回路6も動作を開始する。この時点では未だ発振動作が不安定であり、CPU1の動作は停止したままである。その後、発振動作が安定した状態になったとき、つまり発振安定時間が経過したときに、発振安定時間生成回路6から出力される待機モード解除信号Eが“H”レベルになり、それがCPU1へ入力されて、CPU1から出力される待機信号Bが“L”レベルとなり、クロック制御回路2からクロックAが出力されてCPU1へ入力され、CPU1は動作を開始して動作モードに復帰する。

【0006】

【発明が解決しようとする課題】 ところで、前述した従来のマイクロコンピュータにおいては、CPUが待機モードとなっている場合に、外部ノイズによる誘導によって復帰入力端子4に電圧が誘起したときにはマイクロコンピュータ内に設けた遅延素子を利用したノイズ除去回路であるローパスフィルタ5により、復帰入力端子4に誘起した電圧を除去して、CPUの不要な動作を防止するが、ローパスフィルタ5はトランジスタを介してコンデンサに電流を供給して遅延時間を定めるものであるから、長周期のノイズには対応できず、若し長周期のノイズをこの方法で除去しようとなれば、サイズが大きいトランジスタを必要として、パターン面積が大きくなり実用し難いという問題がある。

【0007】 そこで、また、別に、実際にCPUを動作モードに復帰させる要求があったか否かをソフトウェアによって一旦、待機モードから動作モードにした後、再度、復帰入力端子の電圧を調べて判定し、その結果、電圧が消滅していれば、一時的な外来のノイズによるものとして、再び待機命令を実行して待機モードにすることも考えられる。しかし、この場合はその判定のためにCP

U を動作させるため、その動作時間に応じて電流を消費することになる。また、外来のノイズが多い環境下では、復帰入力端子にノイズによる電圧が度々生じてCPU の動作が暴走する虞れがあり、CPU の誤動作が生じ易いという問題がある。

【0008】本発明は斯かる問題に鑑み、外来のノイズに起因する電圧が復帰入力端子に誘起しても、CPU が不要の動作をすることがないマイクロコンピュータを提供することを目的とする。

【0009】

【課題を解決するための手段】第1発明に係るマイクロコンピュータは、CPU を待機モードから動作モードに復帰させる復帰要求信号を入力すべき端子の電圧レベルの反転により計時動作を開始する計時手段と、前記電圧レベルと前記計時手段の計時値とに関連してCPUを待機モードに制御する制御回路とを備える構成にする。

【0010】第2発明に係るマイクロコンピュータは、CPU の待機モードを解除する待機モード解除信号及びCPU U を動作モードに復帰させる復帰要求信号を入力すべき端子の電圧レベルに関連して、CPU を待機モードになすべく制御する制御回路を備える構成にする。

【0011】

【作用】第1発明では、復帰要求信号を入力すべき端子の電圧レベルが反転すると、計時手段は計時動作を開始する。計時手段の計時値が所定値になったとき、前記端子の電圧レベルが反転したままであると、CPU は動作モードになる。計時値が所定値になる以前に、前記端子の電圧レベルが反転したままでなくなると、CPU は待機モードになる。また、計時手段に設定する所定値をCPU により変更する。これにより、端子にノイズに起因する電圧が生じてもCPU が動作モードに復帰しない。

【0012】第2発明では、復帰要求信号を入力すべき端子の電圧レベルが反転し、待機モード解除信号が出力されるまで端子の電圧レベルが反転したままであると、CPU は動作モードになる。待機モード解除信号が出力されるまで端子の電圧レベルが反転したままでないと、CPU は待機モードになる。これにより、端子にノイズに起因する電圧が生じても、CPU が動作モードに復帰しない。

【0013】

【実施例】以下本発明をその実施例を示す図面により詳述する。図1は本発明に係るマイクロコンピュータの構成を示すブロック図である。復帰入力端子4に入力された復帰要求信号Cはバッファ8へ入力される。バッファ8から出力される復帰要求信号Dは、AND回路10の一入力端子10a、カウンタ9、クロック制御回路2及び発振安定時間生成回路6へ入力される。クロック制御回路2により発振回路3が制御され、発振回路3で発生したクロックがクロック制御回路2へ入力される。クロック制御回路2から出力されるクロックAはCPU1へ入力さ

れ、またカウント対象としてカウンタ9へ入力される。

【0014】発振安定時間生成回路6から出力される待機モード解除信号EはCPU 1へ入力される。CPU 1から出力される待機信号BはOR回路11の一入力端子11aへ入力される。CPU 1により、ROM 又はRAM 等からなるメモリ7がアクセスされる。カウンタ9には所定値の初期値が設定される。この所定値は外来のノイズに起因して復帰入力端子4に生じる電圧の周期に基づいて選定される。例えば周期が数μs以下である電圧を復帰要求信号Cと誤認しないようにするために、カウンタ9のカウント動作が終了するのに例えば10μsを要するような所定値にする。

【0015】カウンタ9は所定値をカウントしたとき“L”レベルに反転した制御信号Fを出力するようになっており、この制御信号FはAND回路10の他入力端子10bへ入力される。AND回路10の出力信号たる制御信号GはOR回路11の他入力端子11bへ入力される。OR回路11から出力される発振停止信号Hはクロック制御回路2及び発振安定時間生成回路6へ入力される。バッファ8と、カウンタ9と、AND回路10とにより、復帰入力検出回路12が構成されている。

【0016】次にこのように構成したマイクロコンピュータの動作を、CPU が待機モードから動作モードに復帰する場合について各部信号のタイミングチャートを示す図2とともに説明する。

【0017】CPU 1により待機命令を実行すると、実行し終わったときにCPU 1から出力される待機モード信号Bが“H”レベルになり、OR回路11から“H”レベルの発振停止信号Hが出力されてクロック制御回路2が動作を停止し、それにより発振回路3の発振動作が停止するとともに、発振安定時間生成回路6が動作を停止する。それによりCPU 1が動作を停止して待機モードになる。復帰入力端子4には、待機命令を実行する前に、例えば“H”レベルの電圧を与えておく。

【0018】図2において、期間IはCPU 1が待機モードの期間であり、復帰入力端子4には例えば“H”レベルの電圧が与えられていて、バッファ8から出力される復帰要求信号Dは図2(a)に示すように“H”レベルとなり、クロック制御回路2及び発振安定時間生成回路6の動作が停止し、またカウンタ9もカウント動作を停止し、カウンタ9から出力される制御信号Fは図2(b)に示すように“H”レベルになる。それによりAND回路10から出力される制御信号Gは図2(c)に示すように“H”レベルとなり、この“H”レベルの制御信号GがOR回路11を介してクロック制御回路2及び発振安定時間生成回路6へ入力され、これによってもクロック制御回路2及び発振安定時間生成回路6は動作を停止する。

【0019】期間IIにおいて復帰入力端子4にLレベルの復帰要求信号Cが入力されると、バッファ8から出力される復帰要求信号Dは図2(a)に示すように“L”レ

ベルになり、AND 回路10から出力される制御信号Gは図2(c)に示すように“L”レベルになってクロック制御回路2及び発振安定時間生成回路6は動作を開始するが、発振安定時間が経過し、発振安定時間生成回路から“H”レベルの待機モード解除信号Eが出力されるまでCPU 1は動作を停止したままとなる。

【0020】期間IIIにおいてカウンタ9のカウント値が所定値に達するまでの期間は、カウンタ9から出力される制御信号Fは図2(b)に示すように“H”レベルであって、そのとき復帰入力端子4に外来のノイズによる“H”レベルの電圧が生じると、バッファ8から出力される復帰要求信号Dは図2(a)に示すように“H”レベルとなる。そのためAND回路10から出力される制御信号Gは図2(c)に示すように“H”レベルになって、発振停止信号Hが“H”レベルとなり、クロック制御回路2及び発振安定時間生成回路6の動作が停止する。したがって、クロックAが出力されず、CPU 1は動作を開始しない。つまり、外来のノイズによる電圧が生じてもCPU 1が動作モードに復帰しない。

【0021】また、カウンタ9がカウント動作を開始するまでに、復帰入力端子4にノイズによる“H”レベルの電圧が生じた場合は、AND回路10から出力される制御信号Gが“H”レベルとなり、ノイズによる電圧として、クロック制御回路2及び発振安定時間生成回路6の動作が停止する。

【0022】期間IVにおいて復帰入力端子4の電圧が“L”レベルになり、期間IIにおける場合と同様に、クロック制御回路2、発振安定時間生成回路6が動作を開始し、カウンタ9がカウント動作を開始する。そして期間Iにおける場合と同様に発振安定時間生成回路6から“H”レベルの待機モード解除信号Eが出力されるまでCPU 1は動作を停止する。

【0023】期間Vにおいて、カウンタ9のカウント値が所定値に達すると、カウンタ9から出力される制御信号Fが図2(b)に示すように“L”レベルになる。そのため、それ以降に復帰入力端子4の電圧レベルが変化して、復帰要求信号Dが“H”レベルにならぬ、制御信号Gは図2(c)に示すように“H”レベルにならず、発振停止信号Hは“H”レベルにならない。そのため、発振安定時間経過後に待機モード解除信号Eが出力されると、復帰要求信号Dはノイズによる電圧でないとしてCPU 1は動作を開始することになる。そしてカウンタ9が所定値をカウントし終わると初期値になる。

【0024】このような動作によりCPU 1が待機モードから動作モードに復帰する場合、復帰入力端子4の電圧レベルの状態をカウンタ9の設定値に応じた所定時間で監視することにより、復帰入力端子4にノイズにより生じた周期が長い電圧であっても、その電圧によりCPU 1が動作モードに復帰するのを防止できる。つまり、所定時間以下の周期のノイズによる電圧を除去してノイズに

よる動作モードへの復帰を防止する。

【0025】なお、カウンタ9には、クロック制御回路2から出力されるクロックを入力したが、発振回路3で発生させたクロックを直接入力してもよい。このようにクロック制御回路2のクロックAを入力した場合は、クロックの周期が既知であるため、ノイズにより生じる除去すべき電圧の周期を容易に選定できる。

【0026】一方、発振回路3のクロックを直接入力した場合は、発振開始時点からノイズによる電圧の周期を計時できるため、比較的早い時点で待機モードに達する。本実施例ではノイズ検出回路7を、バッファ8と、カウンタ9とAND回路10とで構成したが、これは例示であり、この構成に限定するものではない。またカウンタ9に代えてタイマを用いることができる。また本実施例では復帰入力端子に“L”レベルの復帰要求信号を入力したが、“H”レベルの復帰要求信号であっても同様の効果が得られるようできる。

【0027】図3は本発明に係るマイクロコンピュータの他の実施例の構成を示すブロック図である。CPU 1から出力される制御信号Iは、カウンタ9の初期値たる所定値を設定すべくカウンタ9へ入力される。それ以外の構成は図1におけるマイクロコンピュータの構成と同様となっており、同一構成部分には同一符号を付している。

【0028】このマイクロコンピュータは図1に示すマイクロコンピュータと同様に動作して、復帰入力端子4にノイズによる電圧が生じても、CPU 1が動作モードに復帰することがない。またカウンタ9の初期値、即ちカウンタ9に設定する所定値をCPU 1により変更できる。そのためCPU 1が待機モードから動作モードに復帰する場合、復帰入力端子4の電圧レベルの状態を監視する時間、つまりノイズによる電圧を除去する時間を適宜に選定することができる。

【0029】図4は本発明に係るマイクロコンピュータの更に他の実施例の構成を示すブロック図である。発振安定時間生成回路6から出力される待機モード解除信号Eがインバータ13へ入力され、その出力信号JはAND回路10の他入力端子10bへ入力される。それ以外の構成は、図1におけるマイクロコンピュータからカウンタ9を除去した構成と同様となっており、同一構成部分には同一符号を付している。

【0030】次にこのマイクロコンピュータの動作を、CPU が待機モードから動作モードに復帰する場合について、各部信号のタイミングチャートを示す図5とともに説明する。図5において待機モードである期間Iでは、復帰要求信号Dが図5(a)に示すように例えば“H”レベルとなり、待機モード解除信号Eが図5(b)に示すように“L”レベルであるので、インバータ13の出力信号Jは図5(c)に示すように“H”レベルとなり、AND回路10から出力される制御信号Gは図5(d)に示すように

"H" レベルとなる。そしてクロック制御回路 2 及び発振安定時間生成回路 6 は動作を停止する。

【0031】期間IIにおいて復帰入力端子 4 に例えば "L" レベルの復帰要求信号 C が入力されると、インバータ 8 から出力される復帰要求信号 D が図 5 (a) に示すように "L" レベルとなり、クロック制御回路 2 及び発振安定時間生成回路 6 が動作を開始する。このとき、発振安定時間生成回路 6 から出力される待機モード解除信号 E は発振動作が安定するまで図 5 (b) に示すように "L" レベルのままであり、発振安定時間経過後に待機モード解除信号 E が "H" レベルになるまで CPU 1 は動作を停止する。

【0032】期間IIIにおいて待機モード解除信号回路 E が "H" レベルになる以前に、復帰入力端子 4 の電圧レベルが外来のノイズにより "H" レベルに変化すると、復帰要求信号 D が図 5 (a) に示すように "H" レベルになるため AND 回路 10 から出力される制御信号 G は図 5 (d) に示すように "H" レベルになり、発振停止信号 H が "H" レベルになって、クロック制御回路 2 及び発振安定時間生成回路 6 の動作が停止し、ノイズによる電圧で CPU 1 が動作モードに復帰しない。

【0033】期間IVにおいて復帰入力端子 4 に図 5 (a) に示すように "L" レベルの復帰要求信号が入力されると、AND 回路 10 から出力される制御信号 G が図 5 (d) に示すように "L" レベルとなり、期間IIにおける場合と同様にクロック制御回路 2 及び発振安定時間生成回路 6 が動作を開始する。

【0034】期間Vにおいて発振動作が安定した後に、待機モード解除信号 E が図 5 (b) に示すように "H" レベルになると、AND 回路 10 から出力される制御信号 J は図 5 (c) に示すように "L" レベルとなる。そのためそれ以降に復帰入力端子 4 の電圧レベルが反転して復帰要求信号 D が図 5 (a) に示すように "H" レベルになつても、制御信号 G は図 5 (d) に示すように "H" レベルにならず、発振停止信号 H は "L" レベルのままになる。

【0035】そして待機モード解除信号 E は図 5 (b) に示すように "H" レベルとなると、CPU 1 にはクロック A が供給されて CPU 1 が動作を開始する。このような動作により CPU 1 が待機モードから動作モードに復帰する場合、復帰入力端子 4 の電圧レベルの状態を所定時間、即ち発振安定時間で監視することにより、ノイズによる*

* 周期が長い電圧によって CPU 1 が動作モードに復帰するのを防止することができる。

【0036】本実施例ではノイズを除去する時間を定めるのに、発振安定時間生成回路から出力される待機モード解除信号を用いたが、タイマを用いて構成される発振安定時間生成回路の中間ビットの出力を用いることができる。その場合、使用する中間ビットの位置を、ソフトウェアによって変更できるように構成すれば復帰入力端子の電圧レベルを監視する時間の変更が可能になる。また、本実施例では復帰入力端子に L レベルの復帰要求信号を入力したが、"H" レベルの復帰要求信号であっても同様の効果が得られるようできる。

【0037】

【発明の効果】以上詳述したように本発明は CPU を待機モードから動作モードに復帰させる場合、復帰入力端子の電圧レベルの状態を計時手段で所定時間監視し、その結果に基づいて動作モードに復帰させるようにしたから、従来のアナログ的なノイズ除去回路では対応できない、周期が長いノイズによる電圧であっても CPU を動作モードに復帰するのを防止できる。また、CPU によりノイズによる電圧であるか否かを判別しないので、低消費電力化を図ることができる。更には外来のノイズが多い環境でも CPU の動作が暴走する虞れがないマイクロコンピュータを提供できる等、本発明は優れた効果を奏する。

【図面の簡単な説明】

【図1】 本発明に係るマイクロコンピュータの構成を示すブロック図である。

【図2】 各部信号のタイミングチャートである。

【図3】 本発明に係るマイクロコンピュータの他の実施例の構成を示すブロック図である。

【図4】 本発明に係るマイクロコンピュータの更に他の実施例の構成を示すブロック図である。

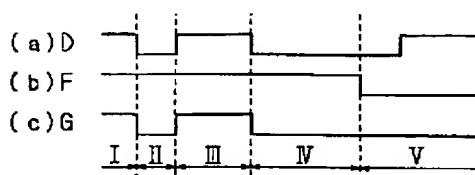
【図5】 各部信号のタイミングチャートである。

【図6】 従来のマイクロコンピュータの構成を示すブロック図である。

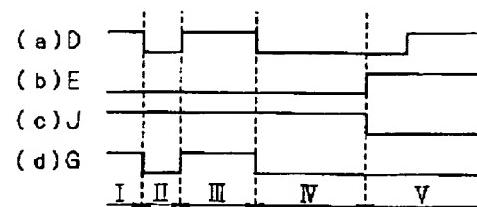
【符号の説明】

1 CPU、2 クロック制御回路、4 復帰入力端子、6 発振安定時間生成回路、9 カウンタ、10 AND 回路、12 復帰入力検出回路。

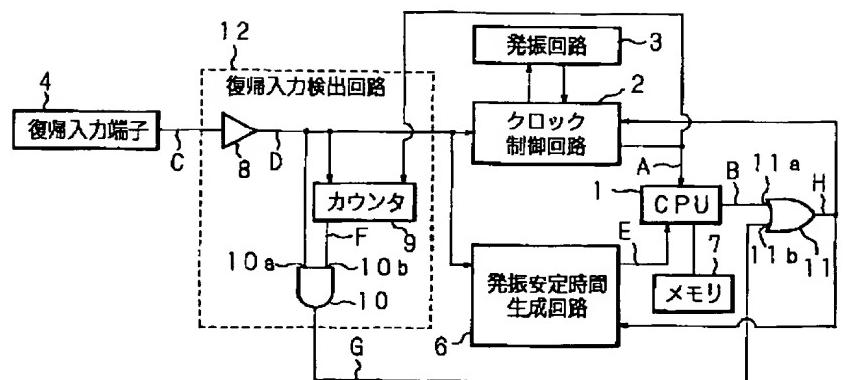
【図2】



【図5】

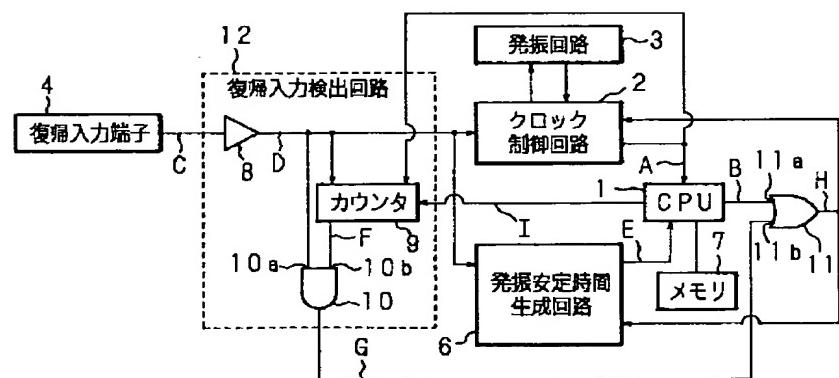


【図1】

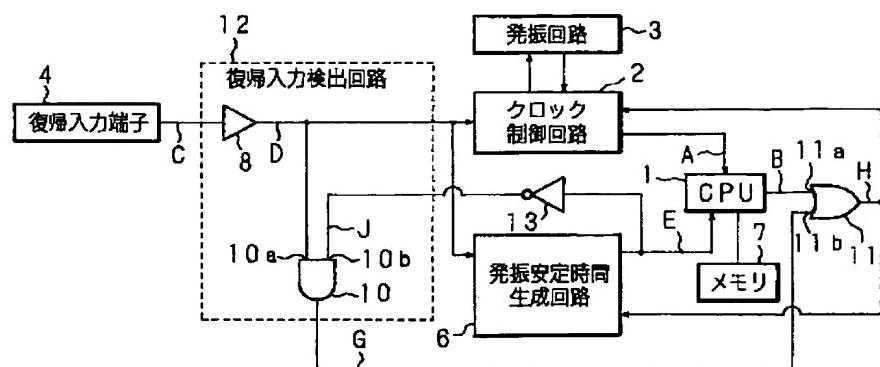


8: パッファ
10: AND回路

【図3】



【図4】



【図6】

